

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 03128673
PUBLICATION DATE : 31-05-91

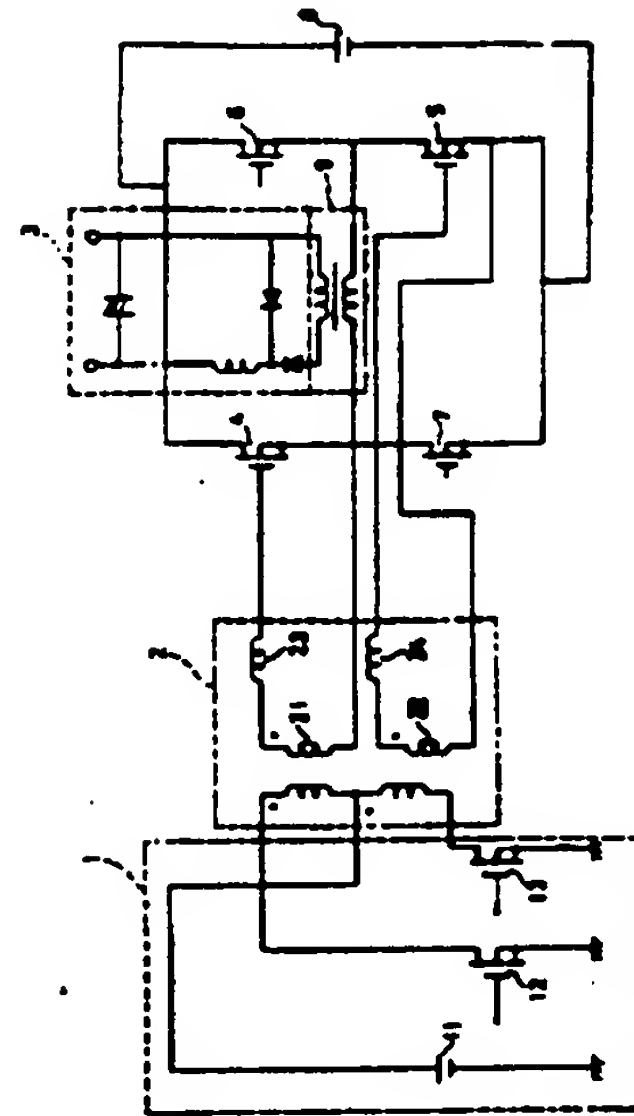
APPLICATION DATE : 12-10-89
APPLICATION NUMBER : 01265735

APPLICANT : KOUFU NIPPON DENKI KK;

INVENTOR : HARADA HISATSUGU;

INT.CL. : H02M 3/28 H02M 3/335 H03K 17/687
H03K 17/691

TITLE : DC-DC CONVERTER



ABSTRACT : **PURPOSE:** To reduce the stress of a transistor, and to prevent noises by installing an inductance element in series between the secondary side winding of a drive transformer and the control electrode of a MOS transistor for switching.

CONSTITUTION: MOS transistors 4, 5 for switching are supplied with the pulse-shaped ACs of a DC-AC conversion section 1 by a drive transformer 2, and load is supplied with the power of a DC power 8 through a transformer 9 and a rectifier circuit 3. Inductance elements 23, 24 are inserted among the secondary windings 21, 22 of the drive transformer 2 and the gates of the transistors 4, 5. When the transistors 4, 5 are turned ON simultaneously, the rise time delay of voltage among the gates and sources of these transistors is lengthened, and the output capacitance of transistors 6, 7 at the time of OFF is charged during that time. Accordingly, spiky current peak values at the time of the rise of the drain and source currents of the transistors 4, 5 at the time of OFF are reduced.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-128673

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月31日

H 02 M 3/28
3/335
H 03 K 17/687
17/691

S 7829-5H
E 7829-5H

7827-5J H 03 K 17/687
7827-5J

D
E

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 DC-DCコンバータ

⑯ 特 願 平1-265735

⑰ 出 願 平1(1989)10月12日

⑱ 発 明 者 原 田 久 嗣 山梨県甲府市丸の内1丁目17番14号 甲府日本電気株式会社
社内

⑲ 出 願 人 甲府日本電気株式会社 山梨県甲府市大津町1088-3

⑳ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

DC-DCコンバータ

2. 特許請求の範囲

(1) 直流電圧を変換して得られたパルス状の交流電圧により交互にオンオフ制御される少なくとも一対のMOSトランジスタと、前記MOSトランジスタの制御電極に前記パルス状の交流電圧を供給するドライブトランスと、前記一対のMOSトランジスタのオンオフ動作により交流電圧に変換される直流電圧源とを含み、この変換された交流電圧を整流回路により直流電圧とするよう構成されたDC-DCコンバータであって、前記ドライブトランスの二次側巻線と前記MOSトランジスタの制御電極との間に直列に夫々インダクタ素子を設けたことを特徴とするDC-DCコンバータ。

(2) 前記インダクタ素子は前記ドライブトランスのリーケッジインダクタンスからなるこ

とを特徴とする特許請求の範囲第1項のDC-DCコンバータ。

3. 発明の詳細な説明

技術分野

本発明はDC-DCコンバータに関し、特に少なくとも一対のスイッチングMOSトランジスタをドライブトランスからのパルス状交流電圧により交互にオンオフ制御して直流電圧を交流電圧に変換後整流して直流化するようにしたDC-DCコンバータに関するものである。

従来技術

この種のDC-DCコンバータの回路例を第2図に示す。図において、回路1は、第1の直流電圧源11をトランジスタ12、13のオンオフ制御によりパルス状の交流電圧に変換する直流-交流変換部である。トランス2はこのパルス状の交流電圧を次段のスイッチング用MOSトランジスタ4、5へ供給するためのドライブトランスである。

このスイッチング用MOSトランジスタ4、5

の各制御電極はドライブトランス2の二次巻線21及び22の各巻始めに夫々接続されており、各ソース電極は二次巻線21及び22の各巻終りに夫々接続されている。

そして、第2の直流電圧源8の間にこれ等両MOSトランジスタ4、5及びトランス9の一次巻線が直列に接続されている。

他の一対のスイッチング用MOSトランジスタ6、7の各ゲート電極にも、同様なパルス状の交流電圧が印加されるべく、直流-交流変換回路1とドライブトランス2と全く同等の構成のドライブ回路が設けられているが、第2図では簡単化のために省略している。

この一対のMOSトランジスタ6、7も第2の直流電圧源8の間にトランス9の二次巻線と共に直列に挿入されている。

これ等スイッチング用MOSトランジスタ4-7によって第2の直流電圧源を交流電圧に変換し、この変換された交流電圧をトランス9を介して整流回路3へ供給することにより、最終的に希望す

なっている。このスイッチング信号の立上り、立下り時の各遅延時間を短縮させることにより、ドレイン、ソース間電圧の立上り、立下り時の各遅延時間を短縮させようとする、スイッチングトランジスタ4、5のオン時には、他方のオフ時のスイッチングトランジスタ6、7の出力容量(ソース、ドレイン間の寄生容量)を充電するための電流のピーク値が増大することになる。

よって、オントランジスタ4、5のドレイン、ソース間を流れるスパイク状の電流のピーク値が増大し、MOSトランジスタ4、5に印加されるストレスが大となると共に、ノイズも増大する。

同様に、MOSトランジスタ6、7のオン時には、オフ時のトランジスタ4、5の出力容量(寄生容量)を充電する電流のピーク値が増大して、前述と同様な問題が生じることになる。

発明の目的

そこで、本発明はかかる従来のものの問題点を解消すべくなされたものであって、その目的とするところは、スイッチング用MOSトランジスタ

る直流電圧が得られるようになっている。

かかる構成において、直流-交流変換回路1により交流化されたパルス状電圧はトランス2の二次巻線21及び22へ夫々伝達され、対応するトランジスタ4、5の各制御電極へ入力される。

トランジスタ6、7の各制御電極へも図示せぬドライブ回路から同様にパルス状電圧が供給される。この場合、トランジスタ4、5がオンしているときには、トランジスタ6、7はオフとなっており、逆にトランジスタ4、5がオフのとき、トランジスタ6、7はオンとなる様に制御される。

従って、トランス9の二次巻線には第2の直流電圧源8から交互に方向の異なる電流が流れることになり、よって第2の直流電圧源8が交流電圧に変換されるのである。この交流電圧が整流回路3により整流平滑化されて所望の直流電圧として出力される。

このような従来のDC-DCコンバータでは、スイッチング用のMOSトランジスタのゲートとソース間にスイッチ用パルス信号を印加するように

のストレスの低減とノイズ防止を可能としたDC-DCコンバータを提供することである。

発明の構成

本発明によれば、直流電圧を変換して得られたパルス状の交流電圧により交互にオンオフ制御される少なくとも一対のMOSトランジスタと、前記MOSトランジスタの制御電極に前記パルス状の交流電圧を供給するドライブトランスと、前記一対のMOSトランジスタのオンオフ動作により交流電圧に変換される直流電圧源とを含み、この変換された交流電圧を整流回路により直流電圧とするよう構成されたDC-DCコンバータであって、前記ドライブトランスの二次側巻線と前記MOSトランジスタの制御電極との間に直列に夫々インダクタンス素子を設けたことを特徴とするDC-DCコンバータが得られる。

実施例

以下に本発明の実施例を図面を参照して説明する。

第1図は本発明の実施例の回路図であり、第2

図と同等部分は同一符号により示されている。第1図において、第2図と異なる部分のみについて述べると、ドライブトランス2の二次巻線21、22の各巻始めと対応トランジスタ4、5の制御電極との間に夫々インダクタンス素子23、24が直列に挿入されている点である。

他のMOSトランジスタ6、7の各制御電極とドライブトランスの二次巻線の巻始めとの間においても、同様に直列にインダクタンス素子が設けられているものとする。

他の回路構成及び動作については第2図の回路のそれと同等であり、説明は省略する。

こうすることにより、トランジスタ4、5が同時にオンするとき、これ等トランジスタのゲート、ソース間電圧の立上り遅延時間はインダクタンス23、24によって長くなり、オフ時のトランジスタ6、7の出力容量がその間充電されるので、オン時のトランジスタ4、5のドレイン、ソース電流の立上り時におけるスパイク状の電流ピーク値を低減させることができることになる。

となるという効果がある。

特に、インダクタンス素子としてドライブトランスのリーケッジインダクタンスを積極的に用いる構成とすれば、回路の実装スペースを大とする必要がなくなる。

4. 図面の簡単な説明

第1図は本発明の実施例の回路図、第2図は従来のDC-DCコンバータの回路例を示す図である。

主要部分の符号の説明

- 2 …… ドライブトランス
- 3 …… 整流回路
- 4～7 …… スイッチング用MOSトランジスタ
- 8 …… 直流電圧源
- 21、22 …… 二次巻線
- 23、24 …… インダクタンス素子

トランジスタ6、7がオンの場合にも、同様にインダクタンス素子の作用によって同一の効果が得られるものである。

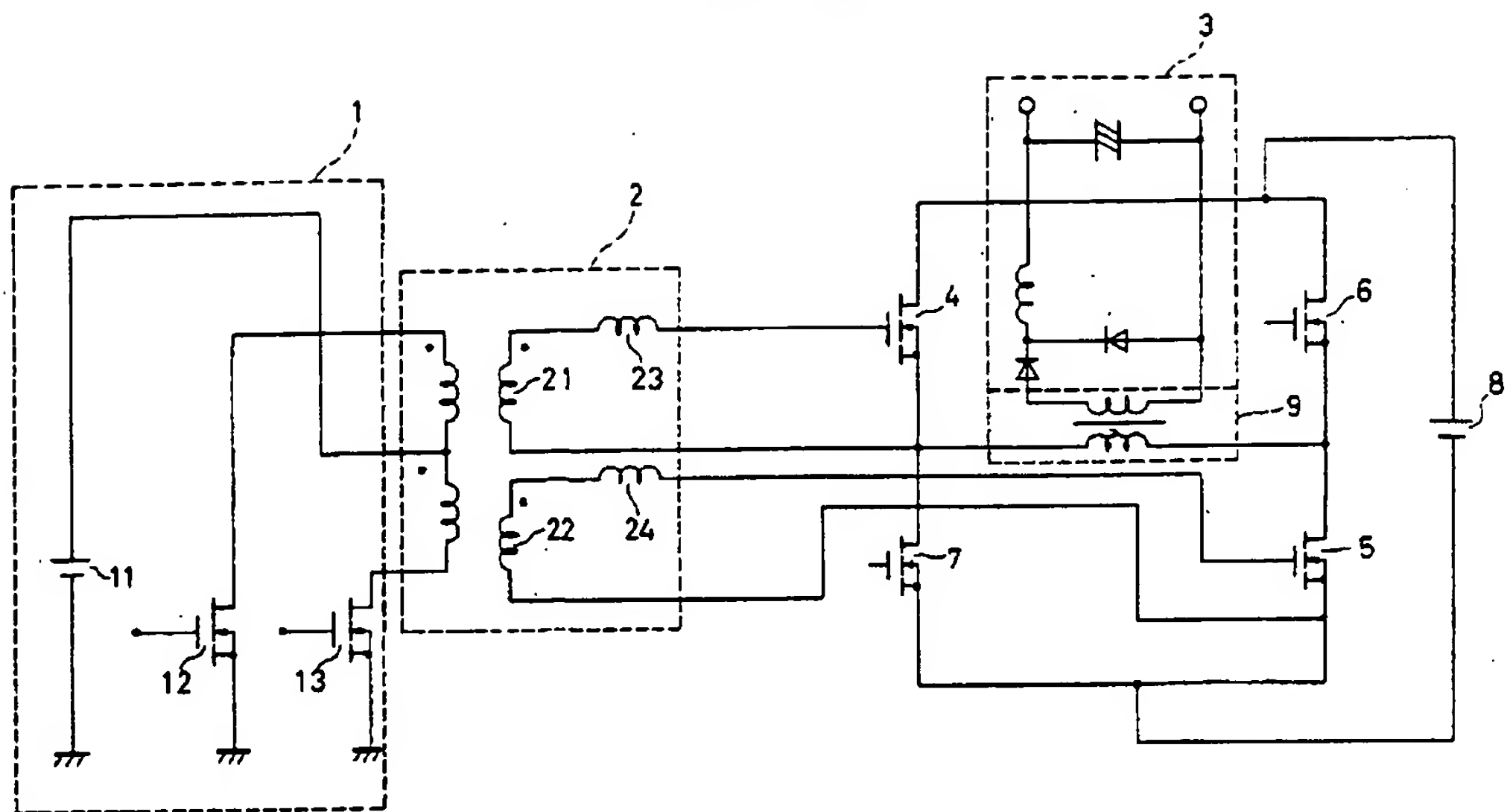
挿入されたインダクタンス素子23、24はディスクリットなものでも良いが、実装スペースを小さくするためには、ドライブトランス2に等価的に生成されるリーケッジインダクタンスを積極的に用いることもできる。このリーケッジインダクタンスを積極的に生成するには、例えばドライブトランス2の巻線をより大としたり、トランスの結合度を疎結合状態に設計することが考えられる。

発明の効果

叙上の如く、本発明によれば、スイッチング用MOSトランジスタのゲート電極に直列にインダクタンス素子を挿入することにより、当該トランジスタのゲートに印加されるドライブ用パルス電圧の立上り遅延時間を大とすることができるので、スイッチング用MOSトランジスタに印加されるストレスの低減とノイズの低減を図ることが可能

出願人 甲府日本電気株式会社
代理人 弁理士 柳川 信

第 1 図



第 2 図

